

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

15671741

Basic Patent (No,Kind,Date): EP 978877 A2 20000209 <No. of Patents: 005>

SEMICONDUCTOR DEVICE AND A METHOD OF MANUFACTURING THE  
SAME (English; French; German)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (JP); SHARP KK (JP)

Author (Inventor): OHTANI HISASHI (JP); NAKAZAWA MISAKO (JP)

Designated States : (National) DE; FR; GB; NL

IPC: \*H01L-027/12; H01L-021/84; G02F-001/00

CA Abstract No: \*132(11)144505K; 132(11)144505K

Derwent WPI Acc No: \*C 00-273027; C 00-273027

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
EP 978877	A2	20000209	EP 99114153	A	19990721	(BASIC)
EP 978877	A3	20011107	EP 99114153	A	19990721	
<b>JP 2001056485</b>	A2	20010227	JP 99207354	A	19990722	
US 20020013019	AA	20020131	US 956946	A	20010921	
US 6313481	BA	20011106	US 356377	A	19990719	

Priority Data (No,Kind,Date):

JP 98234961	A	19980806
JP 98254097	A	19980908
JP 99160460	A	19990608
JP 99207354	A	19990722
US 956946	A	20010921
US 356377	A3	19990719

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

06828991    \*\*Image available\*\*

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

PUB. NO.:    **2001-056485** [JP 2001056485 A]

PUBLISHED:    February 27, 2001 (20010227)

INVENTOR(s): OTANI HISASHI

NAKAZAWA MISAKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

SHARP CORP

APPL. NO.:    11-207354 [JP 99207354]

FILED:        July 22, 1999 (19990722)

PRIORITY:    10-234961 [JP 98234961], JP (Japan), August 06, 1998  
(19980806)

10-254097 [JP 98254097], JP (Japan), September 08, 1998  
(19980908)

11-160460 [JP 99160460], JP (Japan), June 08, 1999 (19990608)

INTL CLASS:    G02F-001/1365; H01L-029/786; H01L-021/336

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To improve holding capacitors using a pair of transparent conductive films for electrodes of a liquid crystal display device.

**SOLUTION:** This semiconductor device is constituted by laminating and forming the first transparent conductive film 104 and an insulating film 105 for capacitors on a planarization film 103 consisting of a resin and forming apertures 106 in these laminated films. An insulating film 107 covering the neighborhood of the apertures 106 is formed. Pixel electrodes 108 are formed by forming the transparent conductive films and patterning the films. The holding capacitors 109 of the structure sandwiching the insulating film 105 for capacitors with the first transparent conductive film 104 and the pixel electrodes 108 are formed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-56485

(P2001-56485A)

(43) 公開日 平成13年2月27日 (2001.2.27)

(51) IntCl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0 2 H 0 9 2
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 Z 5 F 1 1 0
21/336			6 1 3 Z

審査請求 未請求 請求項の数 7 O L (全 18 頁)

(21) 出願番号 特願平11-207354

(22) 出願日 平成11年7月22日 (1999.7.22)

(31) 優先権主張番号 特願平10-234961

(32) 優先日 平成10年8月6日 (1998.8.6)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-254097

(32) 優先日 平成10年9月8日 (1998.9.8)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-160460

(32) 優先日 平成11年6月8日 (1999.6.8)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町2番22号

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 仲沢 美佐子

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

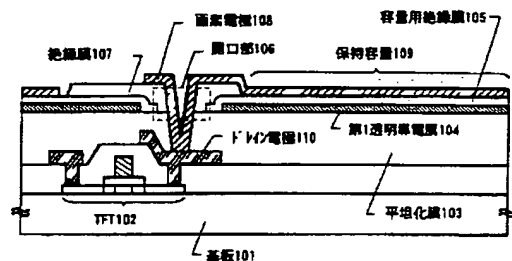
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 液晶表示装置において、一対の透明導電膜を電極に用いた保持容量を改善する。

【解決手段】 樹脂でなる平坦化膜103の上に第1透明導電膜104と容量用絶縁膜105とを積層形成し、この積層膜に開口部106を形成する。開口部106付近を覆う絶縁膜107を形成する。透明導電膜を形成しパターンニングして、画素電極108を形成する。第1透明導電膜104と画素電極108とで容量用絶縁膜105を挟み込んだ構造の保持容量109が形成される。



## 【特許請求の範囲】

【請求項 1】マトリクス状に配置された複数の画素 TFT と該複数の画素 TFT の各々に接続された保持容量とを有する半導体装置であって、

第 1 開口部を有する第 1 透明導電膜と、

前記第 1 透明導電膜を覆い、且つ前記第 1 開口部よりも内側に第 2 開口部を有する容量用絶縁膜と、

前記第 2 開口部を覆い、且つ前記画素 TFT の上方にパターン形成された層間絶縁膜と、

前記層間絶縁膜及び前記容量用絶縁膜に接して形成された第 2 透明導電膜と、を有し、前記保持容量は前記第 1 透明導電膜、前記容量用絶縁膜及び前記第 2 透明導電膜を積層した構造からなることを特徴とする半導体装置。

【請求項 2】マトリクス状に配置された複数の画素 TFT と該複数の画素 TFT の各々に接続された保持容量とを有する半導体装置であって、

第 1 開口部を有する第 1 透明導電膜と、

前記第 1 透明導電膜を覆い、且つ前記第 1 開口部よりも内側に第 2 開口部を有する容量用絶縁膜と、

前記第 2 開口部を覆い、且つ前記画素 TFT の上方にパターン形成された層間絶縁膜と、

前記層間絶縁膜及び前記容量用絶縁膜に接して形成された第 2 透明導電膜と、

前記第 1 透明導電膜、前記容量用絶縁膜及び前記第 2 透明導電膜を積層した構造からなる前記保持容量と、を有し、

前記第 1 透明導電膜は前記第 2 透明導電膜で形成されたパッド電極を介して接地されていることを特徴とする半導体装置。

【請求項 3】請求項 1 又は請求項 2 において、前記層間絶縁膜は樹脂材料からなることを特徴とする半導体装置。

【請求項 4】請求項 1 又は請求項 2 において、前記層間絶縁膜は遮光性を有する樹脂材料若しくは遮光性を有する樹脂材料と透明樹脂材料との積層構造からなることを特徴とする半導体装置。

【請求項 5】マトリクス状に配置された複数の画素 TFT と該複数の画素 TFT の各々に接続された保持容量とを有する半導体装置の作製方法であって、

第 1 開口部を有する第 1 透明導電膜を形成する工程と、容量用絶縁膜を形成し、当該容量用絶縁膜をパターンニングして前記第 1 開口部よりも内側に第 2 開口部を形成する工程と、

層間絶縁膜を形成し、当該層間絶縁膜をパターンニングして前記画素 TFT の上方のみにパターン形成する工程と、

第 2 透明導電膜を形成する工程と、

を有し、

前記第 1 透明導電膜、前記容量用絶縁膜及び前記第 2 透

明導電膜を積層した構造で保持容量が形成されることを特徴とする半導体装置の作製方法。

【請求項 6】請求項 5 において、前記層間絶縁膜として樹脂材料を用いることを特徴とする半導体装置の作製方法。

【請求項 7】請求項 5 において、前記層間絶縁膜として遮光性を有する樹脂材料若しくは遮光性を有する樹脂材料と透明樹脂材料との積層構造を用いることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本願発明は液晶表示装置に代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、上記電気光学装置および電子機器は半導体装置である。

## 【0002】

【従来の技術】近年、ポリシリコン膜を利用した薄膜トランジスタ（以下、TFT と呼ぶ）で回路構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【0003】この様なアクティブマトリクス型液晶表示装置では、各画素毎に形成された画素電極と液晶を介して対向側に形成された対向電極とで容量（コンデンサ）を形成しているが、これだけでは容量が小さいため、通常はそれとは別に保持容量（Cs と呼ばれる）を形成して補っている。

【0004】保持容量の構造（Cs 構造）は様々であるが、透過型液晶表示装置における開口率を考慮して二層の透明導電膜で絶縁膜を挟み込んだ構造が報告されている（特開平 8-43854 号公報、特開平 8-306926 号公報）。

【0005】上記公報に記載された Cs 構造は、保持容量を構成する二組の電極を両方とも ITO などの透明導電膜とすることで、開口率を損ねることなく大きな容量を確保することができるとしている。従来の構造を図 2 に示す。

【0006】図 2 において、201 が容量電極であり透明導電膜で形成されている。その上には保持容量の誘電体を兼ねた層間絶縁膜 202 が形成され、さらに画素電極 203 が形成される。

【0007】しかしながら、この様な構造では容量電極の端部（点線で囲まれた領域）204 において層間絶縁膜 202 のカバレッジ不良が問題となりうる。即ち、誘電体としては薄い方が容量を稼げて好ましいのだが、薄い容量電極 201 と画素電極 203 のショートが問題となる。そのため、層間絶縁膜としての機能を果たすに

はある程度の膜厚を要求されるといったトレードオフの関係があった。

【0008】例えば、透明導電膜は金属膜よりも高抵抗となるため容量電極201の膜厚は電位分布を考慮しても100~200 nm程度が必要となる。従って、容量電極201を完全に被覆するには少なくとも200nm以上の膜厚を有する絶縁膜が必要となる。ところが、容量の大きさは誘電体の膜厚に反比例するため、膜厚を厚くすることは大容量を確保する上で望ましいものではない。

【0009】以上の様に、二組の透明導電膜を絶縁膜で挟みこむことで開口率を損ねることなく保持容量の形成可能な面積を拡大することは可能となったが、未だに多くの問題点を有しているのが現状であった。

【0010】

【発明が解決しようとする課題】本願発明は上記問題点を解決するための技術であり、二組の透明導電膜を用いた保持容量を有する電気光学装置のさらなる改善を課題とする。そして、より高品質な半導体装置を提供することを課題とする。

【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、マトリクス状に配置された複数の画素TFTと該複数の画素TFTの各々に接続された保持容量とを有する半導体装置であって、第1開口部を有する第1透明導電膜と、前記第1透明導電膜を覆い、且つ前記第1開口部よりも内側に第2開口部を有する容量用絶縁膜と、前記第2開口部を覆い、且つ前記画素TFTの上方にパターン形成された層間絶縁膜と、前記層間絶縁膜及び前記容量用絶縁膜に接して形成された第2透明導電膜と、を有し、前記保持容量は前記第1透明導電膜、前記容量用絶縁膜及び前記第2透明導電膜を積層した構造からなることを特徴とする。

【0012】また、他の発明の構成は、マトリクス状に配置された複数の画素TFTと該複数の画素TFTの各々に接続された保持容量とを有する半導体装置であって、第1開口部を有する第1透明導電膜と、前記第1透明導電膜を覆い、且つ前記第1開口部よりも内側に第2開口部を有する容量用絶縁膜と、前記第2開口部を覆い、且つ前記画素TFTの上方にパターン形成された層間絶縁膜と、前記層間絶縁膜及び前記容量用絶縁膜に接して形成された第2透明導電膜と、前記第1透明導電膜、前記容量用絶縁膜及び前記第2透明導電膜を積層した構造からなる前記保持容量と、を有し、前記第1透明導電膜は前記第2透明導電膜で形成されたパッド電極を介して接地されていることを特徴とする。

【0013】上記構成において、前記層間絶縁膜は樹脂材料が好ましい。その様な樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）が挙げられる。さらに遮光性を有する樹脂材料（黒色顔料や金属元素を分散させた樹脂

材料）若しくは遮光性を有する樹脂材料と透明樹脂材料との積層構造を層間絶縁膜とすることも好ましい。

【0014】以上の構成でなる本願発明について、以下に詳細に説明する。

【0015】

【発明の実施の形態】本願発明を利用した液晶表示装置の実施の形態について図1を用いて説明する。図1に示すのは、マトリクス状に配置された複数の画素と各画素の各々に設けられた保持容量を示す断面図である。

【0016】図1において、101は絶縁表面を有する基板であり、その上には公知の手段により形成された画素TFT102が形成されている。この画素TFT102を覆う様にして平坦化膜（第1層間絶縁膜）103を形成した。平坦化膜103はあらゆる絶縁膜を利用することができるが、高い平坦性を実現するにはポリイミド、アクリル又はBCB（ベンゾシクロブテン）等の樹脂材料を用いることが好ましい。

【0017】平坦化膜103上にはまず第1透明導電膜104を形成し、ドレイン電極110の上方に開口部（第1開口部）を形成した後、容量用絶縁膜105を形成した。第1透明導電膜104としては酸化スズやITO（酸化インジウムスズ）などを用いれば良い。この第1透明導電膜104は保持容量の下部電極として機能する。

【0018】また、容量用絶縁膜105としては酸化シリコン、窒化シリコン、酸化窒化シリコン、タンタルオキサイド、アルミニウムオキサイド（アルミナ）などの透明な絶縁膜を用いた。この容量用絶縁膜105は保持容量の誘電体として機能し、画素内の全域に形成することになるので透過率の高い絶縁膜が好ましい。

【0019】なお、本願発明では保持容量の面積を大きく確保できる上、誘電体の膜厚を薄くすることができる（後述する）ので、さほど比誘電率の高い絶縁膜を必要としない。従って、透過率を高めることを最優先させて最適な絶縁膜を選択することができるので明るい画像表示が可能であった。

【0020】次に容量用絶縁膜105に開口部（第2開口部）106を形成した。これは後に画素電極とドレイン電極110とを接続させるための接続部（ドレイン接続部と呼ぶ）を確保するための開口部である。この開口部106は第1透明導電膜104に設けられた開口部（第1開口部）よりも内側に形成される。

【0021】そして、開口部106を覆う様にして比誘電率の低い絶縁膜107を形成して、この絶縁膜107をパターニングした。パターニング工程では保持容量の形成される部分及びドレイン接続部に形成された絶縁膜107のみを選択的に除去し、ドレイン接続部（開口部106）にコンタクトホールを形成すると共に容量用絶縁膜105を露出させた状態とした。即ち、画素TFT102の上方にパターン形成されることになる。

【0022】この絶縁膜107としては樹脂材料を用いることが好ましい。樹脂材料としてはポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン（BCB）などを用いることができる。勿論、樹脂材料以外に珪素を含む絶縁膜（酸化シリコンや窒化シリコン等）を単独で用いることもできるし、珪素を含む絶縁膜と樹脂材料とを積層して用いることもできる。

【0023】その上に第2透明導電膜を成膜し、その第2透明導電膜をパターンニングして画素電極108を形成した。この画素電極108は画素内において容量用絶縁膜105と接触させ、第1透明導電膜／容量用絶縁膜／第2透明導電膜でなる保持容量109を形成した。

【0024】また、画素電極108はTFT102のドレイン電極110と電気的に接続され、画素電極108に印加される電圧はTFT102で制御される。なお、図1では画素電極108がドレイン電極110と接続された構造を示しているが、画素電極108がTFT102の活性層と直接接続する様な構造でも良い。

【0025】また、図1に示す構造では液晶表示装置の対向基板側に設けられたブラックマスクでTFT102を完全に遮光する構成としている。これはTFT102の活性層に光が照射されることを防ぐためである。勿論、基板101とTFT102との間に遮光層を形成しておくといった構造も可能である。

【0026】以上の様な構成でなる本願発明の特徴は、容量用絶縁膜105（保持容量の誘電体）の膜厚を自由に調節することができる点にある。従来例で述べた構造ではカバレッジの問題から200nm以上の膜厚を必要としたが、本願発明の構造では絶縁膜107によって第1透明導電膜104と画素電極108とが完全に絶縁分離されるので、10~200nm（好ましくは50~100nm）程度の厚さで形成することが可能であった。即ち、容量用絶縁膜105の膜厚を第1透明導電膜104の膜厚よりも薄くすることも可能となった。

【0027】膜厚の下限を10nmとしたのは、これ以下では耐圧が弱く絶縁破壊を起こしやすくなるからである。また、これ以下では均一な膜厚を確保することが困難であることも理由に挙げられる。そういった理由を鑑みると、50~100nm程度の膜厚が好ましいと言える。

【0028】また、基本的に容量用絶縁膜105の膜厚に上限はないが、膜厚が厚すぎると大容量の確保が難しくなる上、スループットが低下するため、ある程度の膜厚に抑える必要がある。そういった意味で、本出願人は200nm（好ましくは100nm）を上限と考えている。

【0029】この様に、保持容量の誘電体の膜厚を自由に設定できるという点は非常に大きな利点である。一般的に知られる様に屈折率の異なる薄膜を積層形成する際に透過率が高くなる条件（反射防止条件）が存在する。この関係は屈折率を $n$ 、膜厚を $d$ 、透過光波長を $\lambda$ とすると、 $nd = \lambda/4$ で与えられる。

【0030】本願発明では保持容量を形成する誘電体の材料および膜厚の選択幅が広いと、前述の式において $nd$ の項の調節が容易である。従って、反射防止条件と一致する様に各種層膜の膜厚を制御することで高い透過率を実現し、保持容量として機能しながらも明るい画像表示の可能な画素領域を形成できる。

【0031】以上の様な構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0032】

【実施例】（実施例1）本実施例ではアクティブマトリクス型液晶表示装置を作製する工程例について図3を用いて説明する。なお、本実施例では画素マトリクス回路の一面素に注目して説明するが、同一基板上にドライバ回路や信号処理回路をも一体形成できることは言うまでもない。

【0033】まず、絶縁表面を有する基板301として表面に酸化シリコンでなる下地膜を設けたガラス基板を準備した。勿論、ガラス基板以外に石英基板（下地はなくても良い）やセラミックスガラス基板を用いても良いし、熱酸化膜を形成したシリコンウェハであっても良い。また、耐熱性とプロセス温度との兼ね合いになるが、基板としてプラスチック基板を用いることも可能である。

【0034】さらに、基板と下地膜との間に金属膜や窒化アルミニウム膜等の放熱層を設ける構成とすることも有効である。

【0035】次に、基板301上にTFTを形成した。なお、本願発明はTFT構造によらないため、公知のあらゆる手段を用いてTFTを作製することができる。従って、本実施例では概略のみを説明することとする。

【0036】まず、基板301上に半導体薄膜でなる活性層302を形成した。半導体薄膜としては非晶質シリコン薄膜、多結晶（又は微結晶）シリコン薄膜、単結晶シリコン薄膜、シリコンゲルマニウム薄膜などあらゆる材料を用いることができる。また、非晶質シリコン薄膜を多結晶シリコン薄膜に変化させるための結晶化技術は公知のあらゆる手段を用いて良い。

【0037】次に、ゲート絶縁膜303として100nm厚の酸化シリコン膜を形成し、その上にゲート配線304を形成した。本実施例ではゲート配線304としてタンタルの上にチタンを積層した構造を採用した。勿論、他の材料を用いることも可能である。

【0038】本明細書において、ゲート配線において、活性層と重なる部分を特にゲート電極と呼ぶ。また、ソース配線において、活性層と接する部分を特にソース電極と呼ぶことにする。

【0039】こうして図3（A）の状態を得た。次に、ゲート配線304をマスクにしてゲート絶縁膜303をエッチングし、新たな形状のゲート絶縁膜305を形成

した。そして、ゲート配線304及びゲート絶縁膜305をマスクとして自己整合的に導電性を付与する不純物イオンを活性層302に添加した。(図3(B))

【0040】図3(B)に示す工程は、本出願人による特開平7-135318号公報に記載された技術を用いた。即ち、不純物イオンの添加工程を低加速電圧と高加速電圧の2回に分けて行い、ソース領域306、ドレイン領域307、LDD領域308を形成した。不純物イオンを添加した後は、レーザーアニール、ファーンズアニール等によって活性化を行った。

【0041】次に、層間絶縁膜309を約1 $\mu$ mの厚さに形成した。本実施例ではまず25nm厚の酸化シリコン膜を形成し、その上に900nm厚のアクリル樹脂膜を形成した積層構造とした。

【0042】次に、層間絶縁膜309に対してコンタクトホールを形成し、チタン/アルミニウム/チタンの三層構造でなる金風層を形成し、パターニングしてソース配線310及びドレイン電極311を形成した。こうして図3(C)に示す様な画素TFTが完成した。

【0043】次に、画素TFTを覆う様にして平坦化膜312を形成した。本実施例では平坦化膜312としてアクリルを用いたが、他の樹脂材料を用いても良い。そして、平坦化膜312の上には第1透明導電膜313を形成し、パターニングを行ってドレイン電極311の上方に第1開口部314を設けた。さらに、その上に容量用絶縁膜315を形成した。(図3(D))

【0044】第1透明導電膜313としてはスパッタ法によって形成した100nm厚のITO(酸化インジウムスズ)膜を用いた。本実施例ではターゲットとしてITOを用い、スパッタガスとしてアルゴンと酸素との混合ガスをを用いて成膜圧力を $3 \times 10^{-3}$  torrに設定した。また、成膜は1.5 AのDC電流制御で行い、基板温度は室温とした。

【0045】本実施例の様に下地(平坦化膜)として樹脂材料を用いた場合、基板を加熱する必要があるプロセスは樹脂材料からの脱ガスが問題となるので不適当である。その点、スパッタ法は室温成膜が可能であるため好適な手段であった。

【0046】また、容量用絶縁膜315としてはスパッタ法によって形成した50nm厚の酸化シリコン膜を用いた。この時、第1透明導電膜313の膜厚よりも容量用絶縁膜315の膜厚を薄くできるのが本願発明の利点である。

【0047】本実施例ではターゲットとしてSiO<sub>2</sub>を用い、スパッタガスとしてアルゴン(30sccm)と酸素(10sccm)との混合ガスをを用いて成膜圧力を $3 \times 10^{-3}$  torrに設定した。また、成膜は2000WのRF電源制御で行い、基板温度は室温とした。

【0048】この場合、基板温度が高いとITOでなる第1透明導電膜313の膜質が結晶状態となり、エッチ

ングされにくくなるという問題が生じる。

【0049】本出願人の知見では、容量用絶縁膜315の成膜温度が180℃以上になるとITO膜のエッチングが困難になるという結果が得られている。一方で、基板温度を下げすぎると酸化シリコンでなる容量用絶縁膜315の膜質が悪化する。即ち、耐圧が低くなるといった弊害を生じる。

【0050】実験の結果では、好ましくは180℃以下(好ましくは100~150℃)の温度範囲で成膜することが必要であることが判明しており、そのためにはスパッタ法が最も好ましい成膜方法であると言える。

【0051】なお、本実施例では容量用絶縁膜315として酸化シリコン膜を利用したが、それ以外の透明絶縁膜を用いても良い。比誘電率が高めれば高いほど膜厚を厚くしても十分な容量を確保することができるため、短絡による不良の発生率をさらに低めることができた。勿論、前述の様に膜厚が厚すぎてもスループットが低下するため、200nmを上限とした方が良い。

【0052】こうして図3(D)の状態が得られたら、後にドレイン電極311と画素電極(図示せず)とを電気的に接続するコンタクトホールを形成する位置に第2開口部316を形成した。この第2開口部316の口径は第1開口部314よりも小さくし、第1開口部314の内側に形成する。また、後に形成するコンタクトホールの口径よりも十分に大きくしておくことが好ましい。こうすることで第1透明導電膜313と画素電極(図示せず)との短絡を防止することができる。(図4(A))

【0053】本実施例では後に形成されるコンタクトホールの口径に3 $\mu$ mのマージンをみて第2開口部316を形成しておいた。コンタクトホールの半径がr $\mu$ mであれば、第2開口部の半径は(r+3) $\mu$ mとしておけば十分と言える。勿論、コンタクトホールと第2開口部316とは同心円状に形成する。

【0054】次に、容量用絶縁膜315および第2開口部316を覆って層間絶縁膜(第2層間絶縁膜)317を形成した。層間絶縁膜317としては比誘電率が3.2のアクリルを用いたが、比誘電率が4.0以下(好ましくは3.5以下)の材料(代表的にはポリイミド、ポリアミド、ポリイミドアミド、ベンゾシクロブテン等の樹脂材料)が好ましい。また、さらに平坦性を考慮するとベンゾシクロブテンを用いることが望ましい。(図4(B))

【0055】層間絶縁膜317を形成したら、パターニングを行って後に保持容量が形成される部分に形成された層間絶縁膜317を除去した。保持容量が形成される部分は、ほぼ画像表示領域(画素)と一致する。その結果、画素TFTの上方に層間絶縁膜318がパターン形成された。

【0056】この状態では、前述の第2開口部316が

パターン形成された層間絶縁膜 318 で覆われているため、画素電極（図示せず）と第 1 透明導電膜 313 の端面との間で短絡が発生するのを防止することができた。

【0057】また、層間絶縁膜のパターン形成と同時に第 2 開口部 316 が形成された領域には、画素電極（図示せず）とドレイン電極 311 とを接続するためのコンタクトホール 319 を形成した。（図 4（C））

【0058】この工程では、まず層間絶縁膜 317 の所定の位置にレジストマスク（図示せず）を形成してエッチングを行い、パターン形成された層間絶縁膜 318 を形成した。そして、そのレジストマスクをそのまま利用して平坦化膜 312 をエッチングすることにより形成した。この時、コンタクトホールの側壁にテーパーが形成される様な条件とすると、画素電極の段切れを防ぐことができる。

【0059】そして、第 2 透明導電膜として 120nm 厚の ITO 膜を形成し、パターニングして画素電極 320 を形成した。この画素電極 320 が容量用絶縁膜 315 と接する部分では、二層の透明導電膜（第 1 透明導電膜と第 2 透明導電膜）に挟まれた容量用絶縁膜 315 によって保持容量 321 を形成することができた。（図 4（D））

【0060】以上の様な構成でなる本実施例の画素構造では、保持容量となる領域が画素内のほぼ全域を占め、実質的に画像表示領域と同一の面積を確保することができるという利点を有する。

【0061】また、本実施例の構造で特徴的な点を具体的に図 15（A）～（C）に示した。図 15（A）は、コンタクトホール周辺部の TEM 観察写真である。また、図 15（B）は、図 15（A）中の第 1 透明導電膜の端部を拡大した TEM 観察写真であり、図 15（C）は、図 15（A）の模式図である。なお、図 15（A）～（C）において、層間絶縁膜 309 に陥没した箇所が見られるが、これは試料採取の際に生じたものであるため、本発明の構造には関係しない。

【0062】図 15（A）～（C）に示した図からも明らかな様に、特に本実施例の構造で特徴的な点は、第 1 透明導電膜 313 の端部とコンタクトホール内の画素電極 320 とを層間絶縁膜 318 で完全に絶縁分離できるため、容量用絶縁膜 315 の膜厚を 10～200 nm（好ましくは 50～100 nm）と薄くできる点にある。

【0063】従って、容量形成面積の占める割合が大きく、誘電体膜厚の薄い保持容量を形成できるため、比誘電率がさほど高くなくても十分な容量を確保することができる。この事は選択可能な材料の自由度が大きく広がっていることを意味している。

【0064】その結果、高透過率特性を優先させて材料を選択することもできるし、透明導電膜や容量用絶縁膜の膜厚を適切に組み合わせることで反射防止効果を出して高い透過率を実現することも可能である。その点、従

来の構造では誘電体の材料や膜厚がある程度制限されるので、その様な自由度は小さい。

【0065】なお、図 4（D）に示した状態は液晶表示装置の TFT 形成側基板（アクティブマトリクス基板）がほぼ完成した状態である。この状態における実際のアクティブマトリクス基板（画素部分）を上面から観察した SEM 写真を図 16 に示す。図 16 において、くぼんで見える領域（図 16 中で A で示した）が保持容量となる。実際には画素電極を覆う様にして配向膜を形成する工程がある。

【0066】また、対向電極と配向膜とを備えた対向基板を用意し、アクティブマトリクス基板と対向基板との間に液晶材料を封入すれば図 6 に示す様な構造のアクティブマトリクス型液晶表示装置が完成する。液晶材料を封入する工程は、公知のセル組工程を用いれば良いので詳細な説明は省略する。

【0067】なお、図 6 において 601 は絶縁表面を有する基板、602 は画素マトリクス回路、603 はソースドライバ回路、604 はゲイトドライバ回路、605 は対向基板、606 は FPC（フレキシブルプリントサーキット）、607 及び 608 は外付けされた IC チップである。

【0068】IC チップ 607、608 は必要に応じて取り付けられ、場合によっては IC チップの代わりに同等の機能を有する回路をソースドライバ回路やゲイトドライバ回路などと一体形成してしまっても構わない。即ち、D/A コンバータや γ 補正回路などの信号処理回路を TFT でもって構成しても良い。

【0069】さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であれば EL（エレクトロルミネッセンス）表示装置や EC（エレクトロクロミックス）表示装置に本願発明を適用することも可能であることは言うまでもない。

【0070】〔実施例 2〕本実施例では図 1 に示した構造において、絶縁膜 107 として遮光性を有する樹脂材料（代表的には黒色樹脂材料）を用い、その部分をブラックマスクとして活用した。なお、本実施例の構成は、図 1 に示される絶縁膜 107 の材料を変えただけであり、本実施例に示す構造は実施例 1 に示した作製工程に従えば容易に実現することができる。

【0071】本実施例において、黒色樹脂材料としては、黒色顔料、金属（チタン、クロムなど）材料またはカーボン系材料（グラファイトなど）を分散させた樹脂材料を用いることができるが、ブラックマスクとして活用するには、OD 値が 3 以上であることが望ましい。本実施例ではグラファイトを分散させた樹脂材料（OD 値が 3）を利用した。

【0072】なお、OD 値とは薄膜の遮光性を表す指標であり、 $OD = -\log_{10} T$ （ $T$  は透過率で透過率 0.1% の場合は  $T = 0.001$  を代入する）で表される。即ち、OD



値の絶対値が高いほど透過率が高いことを意味する。

【0073】この様に、黒色樹脂材料を利用することで、TFTを黒色の層間絶縁膜で覆うことが可能となり、そのままブラックマスクとして活用できた。即ち、本実施例の技術を利用すれば工程を簡略化できる。

【0074】〔実施例3〕本実施例では図1の層間絶縁膜107の代わりにアクリル、ポリイミド等の透明樹脂材料と黒色樹脂材料との積層構造を採用した。なお、本実施例の構成も実施例2と同様に、実施例1の作製工程に従えば容易に実現できる。

【0075】〔実施例4〕本実施例では本願発明を用いて作製されたアクティブマトリクス型液晶表示装置の画素構造について説明する。本実施例の画素構造の上面図を図5に示す。

【0076】図5(A)において、501は活性層、502はゲート配線(活性層501と重なる部分を特にゲート電極と呼ぶ)、503はソース配線(活性層501と接する部分を特にソース電極と呼ぶ)、504はドレイン電極である。図5(A)は、実施例1において図3(C)の状態にある時の上面図に相当する。

【0077】次に、実施例1において図4(A)の状態にある時の上面図に相当するものを図5(B)に示す。図5(B)において、505は第1透明導電膜、506は開口部である。第1透明導電膜505に設けられた開口部からは下方にはドレイン電極504が存在する。

【0078】次に、実施例1において図4(D)の状態にある時の上面図に相当するものを図5(C)に示す。図5(C)において、507は層間絶縁膜であり、図4(C)の層間絶縁膜318に相当する。また、508は画素電極であり、509はコンタクトホール(図4(C)のコンタクトホール319に相当する)である。画素電極508は縁がゲート配線502とソース配線503にかかる様に形成し、縁部分で生じる電界の乱れの影響が目立たない様にしている。

【0079】本実施例に示した画素構造は本願発明を実施した時の一実施形態であり、本願発明はこの構造に限定されるものではない。しかしながら、本実施例の構造を採用すると、ほぼ画素領域全体が保持容量として機能するので、高精細な画素構造を有する液晶表示装置においても保持容量を十分に確保することができる。

【0080】〔実施例5〕本実施例では、図1に示した構造において保持容量109の下部電極として機能する第1透明導電膜104を、コモン電位(接地電位)に固定するための構造について図7を用いて説明する。

【0081】図7に示す構造は液晶表示装置の画像表示領域(パネル部分)の外側に設けられた接地用パッド電極を拡大した図である。第1透明導電膜701の上には容量用絶縁膜702が開口部703を有して形成されている。この開口部703は、実施例1に示した図4

(A)の工程と同時に形成した。

【0082】そして、704は樹脂材料からなる層間絶縁膜であり、その上にコモンコンタクト用のパッドとして用いられるパッド電極705を第2透明導電膜(画素電極と同一材料)でもって形成した。このパッド電極705は実施例1に示した図4(D)の工程と同時に形成した。

【0083】本実施例の構造では、第1透明導電膜701とパッド電極705とが接触面706で接することによって同電位となる。そして、パッド電極705が接地されることで第1透明導電膜701が接地電位に固定される。

【0084】また、このコモンコンタクト用パッドは、対向電極を接地電位に固定するためのパッドとして機能させることもできる。パッド電極705上に導電性粒子を混ぜたペースト材料を形成し、その状態でアクティブマトリクス基板と対向基板とを張り合わせることで対向基板に設けられた対向電極とパッド電極との導通をとり、両電極を接地電位に固定することができる。

【0085】この様に、パッド電極705として画素電極と同一層に形成された透明導電膜を利用すると、大幅に工程を簡略化できるので有効である。

【0086】なお、本実施例の構造は実施例1～実施例4の全ての実施例との組み合わせが可能である。

【0087】〔実施例6〕本実施例では、画素TFTのドレイン電極上において平坦化膜を除去する工程を加えた場合の例について図8を用いて説明する。

【0088】まず、実施例1の工程で従って図4(A)の状態を得た。そして、この図4(A)の状態では酸素プラズマによるドライエッチングを行った。この時、パターン形成された容量用絶縁膜315をマスクとして、樹脂材料でなる平坦化膜312の一部が除去される。

【0089】図8(A)はドライエッチング法によって落とし込み部11を形成した後に、樹脂材料(本実施例ではポリイミド)でなる層間絶縁膜12を形成した状態である。なお、落とし込み部11の開口幅は、図4(A)に示した第2開口部316の開口幅とほぼ同一である。

【0090】そして、層間絶縁膜12をパターニングしてパターン形成された層間絶縁膜13を形成すると同時に画素電極とTFTとを接続するためのコンタクトホール14を形成した。(図8(B))

【0091】こうしてコンタクトホール14を形成したら、第2透明導電膜を形成してパターニングを行い、TFTに接続する画素電極15を形成した。また、この時、保持容量16も同時に形成された。さらに、同時に実施例5に示した接地用パッド構造を形成しても良い。

【0092】本実施例の構造とした場合、コンタクトホール14が同一材料でなる層間絶縁膜のエッチングのみで形成できる点に利点がある。

【0093】〔実施例7〕本実施例は、実施例1と同様

にアクティブマトリクス型液晶表示装置を作製工程を示す。本実施例は、実施例2、3の変形例である。実施例2、3では平坦化膜に黒色樹脂を用いて画素TFTを遮光していたが、本実施例では、画素TFTの遮光するために、アクティブマトリクス基板側にブラックマスクを形成した例である。

【0094】図9、図10を用いて、本実施例説明する。なお、本実施例でも画素マトリクス回路の一面素に注目して説明するが、同一基板上にドライバ回路や信号処理回路をも一体形成できることは言うまでもない。

【0095】絶縁表面を有する基板800として表面に酸化シリコンでなる下地膜を設けたガラス基板を準備し、実施例1の工程に従って、図3(C)の構成を得る。それを図9(A)に示す。

【0096】図9(A)に示すように、基板800表面には、半導体薄膜でなる活性層、酸化シリコン膜でなるゲート絶縁膜802、タンタル/チタンの2層膜でなるゲート配線803の順で積層されている。活性層には、ソース領域804、ドレイン領域805、LDD領域806が形成されている。ゲート配線803を覆って、基板全面に層間絶縁膜807が形成されている。層間絶縁膜807として、25nm厚の窒化シリコン膜と900nm厚のアクリル樹脂膜でなる積層膜を形成する。

【0097】層間絶縁膜807に対してコンタクトホールを形成し、チタン/アルミニウム/チタンの三層構造でなるソース配線808及びドレイン電極809を形成した。こうして図9(A)に示す画素TFTが完成した。

【0098】次に、画素TFTを覆う様にして平坦化膜810を形成した。本実施例では平坦化膜810として、アクリルを塗布法で成膜する。アクリルの厚さは最も厚くなる部分で0.7μmとした。

【0099】次に、スパッタ法で厚さ200nmのチタン膜を成膜し、塩素系のガスでドライエッチング法によりパターニングして、チタンでなるブラックマスク811を形成する。基板全面に、塗布法により平坦化膜812としてアクリルを形成した。このアクリルの厚さは最も厚くなる部分で0.5μmとした。ブラックマスク811は画素マトリクス回路で一体的に形成され、コモン電位に接続されている。(図9(B))

【0100】次に、第1透明導電膜813としてスパッタ法により、115nm厚のITO(酸化インジウムスズ)膜を成膜した。第1透明導電膜813は保持容量の電極を構成する。ITO膜の成膜条件は、ターゲットとにITOを用い、スパッタガスにアルゴンと酸素との混合ガスを用い、成膜圧力を $3 \times 10^{-3}$  torr、1.5AのDC電流制御を行い、基板温度は室温とした。

【0101】ITO専用エッチャントを用いたウェットエッチングにより、第1透明導電膜813に、第1開口部814をドレイン電極809の上方に形成した。(図

9(C))

【0102】第1透明導電膜813上に、容量用絶縁膜815として、スパッタ法で厚さ150nmの酸化シリコン膜を成膜した。酸化シリコンの成膜条件は、ターゲットにSiO<sub>2</sub>を用い、スパッタガスとしてアルゴン(30sccm)と酸素(10sccm)との混合ガスを用い、成膜圧力を $3 \times 10^{-3}$  torrとした。また、成膜は2000WのRF電源制御で行い、基板温度は室温とした。

【0103】酸化シリコンでなる容量用絶縁膜815をバッファードフッ酸でエッチングして、第2開口部816を形成した。第2開口部816の口径は第1開口部814よりも小さくし、第1開口部814の内側に形成した。ここでは、コンタクトホールの口径よりも3μmのマージンを第2開口部816にとった。(図9(D))

【0104】次に、容量用絶縁膜815および第2開口部816を覆って、層間絶縁膜819を形成した。層間絶縁膜819として、塗布法によりアクリルを形成した。アクリルの厚さは最も厚い部分が0.5μmとなるようにした。(図10(A))

【0105】次に、アクリルでなる層間絶縁膜819、平坦化膜810、812にコンタクトホール822を形成すると同時に、保持容量を形成する部分の層間絶縁膜819を除去する。

【0106】この工程では、フォトリソマスクを用いて、O<sub>2</sub>/CF<sub>4</sub>ガスを用いて、アクリルでなる層間絶縁膜819をエッチングし、パターン形成された層間絶縁膜821を形成し、同じフォトリソマスクをそのまま利用して、引き続きO<sub>2</sub>/CF<sub>4</sub>ガスで平坦化膜812、810をドライエッチングして、コンタクトホール822を形成した。この時、コンタクトホール822の側壁にテーパーが形成される様な条件とすると、画素電極の段切れを防ぐことができる。

【0107】そして、第2透明導電膜として120nm厚のITO膜をスパッタ法で成膜した。第2透明導電膜は画素電極を構成すると共に、保持容量の電極を構成する。ITO膜を専用エッチャントでエッチングして、画素電極823を形成した。この画素電極823が容量用絶縁膜815と接する部分では、二つの透明導電膜(第1透明導電膜と第2透明導電膜)に挟まれた容量用絶縁膜815によって保持容量824が形成される。

【0108】本実施例でもパターン形成された層間絶縁膜821で第2開口部816が覆われているため、画素電極823が第1透明導電膜813の端面と短絡するのを防止することができる。

【0109】例えば、実施例1の構造で平坦化膜812としてアクリルを用い、層間絶縁膜817としてポリイミドを用いる組み合わせを採用した場合を想定する。この場合、アクリルの方が若干エッチングレートが速いので、第1透明導電膜813の下にえぐれを生じる可能性があり、画素電極のカバレッジ不良、即ち断線不良を招

く危険性があった。

【0110】その点、本実施例の構造ならばコンタクトホールが完全に同一材料内で形成されるので、エッチングレートの差によるコンタクトホールの形状異常はなく、えぐれなどによる画素電極の断線不良を防止することが可能であった。

【0111】なお、本実施例の構成は実施例1～5に示したどの実施例との組み合わせも可能である。どの構成と組み合わせてもコンタクトホールの形状による画素電極の断線不良を防止するという効果は同様である。

【0112】〔実施例8〕本実施例も実施例7と同様に、画素TFTの遮光するために、アクティブマトリクス基板側にブラックマスクを形成した例である。

【0113】絶縁表面を有する基板900として表面に酸化シリコンでなる下地膜を設けたガラス基板を準備し、実施例1の工程に従って、図3(C)の構成を得る。それを図11(A)に示す。

【0114】図11(A)に示すように、基板900表面には、半導体薄膜でなる活性層、酸化シリコン膜でなるゲート絶縁膜902、タンタル/チタンの2層膜でなるゲート配線903の順で積層されている。活性層には、ソース領域904、ドレイン領域905、LDD領域906が形成されている。ゲート配線903を覆って、基板全面に層間絶縁膜907が形成されている。層間絶縁膜907として、25nm厚の窒化シリコン膜と900nm厚のアクリル樹脂膜でなる積層膜を形成する。

【0115】層間絶縁膜907に対してコンタクトホールを形成し、チタン/アルミニウム/チタンの三層構造でなるソース配線908及びドレイン電極909を形成した。こうして図11(A)に示す画素TFTが完成した。

【0116】次に、アクリルでなる平坦化膜910で画素TFTを覆った。アクリルは塗布法で形成し、最も厚くなる部分が1.2μmとなるようにした。次に、スパッタ法により、115nm厚のITOでなる第1透明導電膜911、厚さ150nmの酸化シリコンでなる容量用絶縁膜912、厚さ200nmのチタン膜でなるブラックマスク用金属膜913を積層して、平坦化膜910表面に成膜した。(図11(B))

【0117】次に、図示しないフォトリソマスクを形成し、チタンでなるブラックマスク用金属膜913、酸化シリコンでなる容量用絶縁膜912をドライエッチングして、ドレイン電極909上方に第1開口部915を形成する。チタン膜のエッチングガスには塩素系のガスを用い、酸化シリコン膜のエッチガスにはCHF<sub>3</sub>等のフッ素系ガスを用いる。この第1開口部の形成工程は、ウェットエッチングよりも、異方性のあるドライエッチングで行うのが好ましい。(図11(C))

【0118】第1開口部用のフォトリソマスクを剥

離した後、再びフォトリソマスク916を形成する。保持容量部のブラックマスク用金属膜913をドライエッチングで除去して、チタンでなるブラックマスク917を形成する。金属膜913のエッチングには塩素系のガスを用いることにより、酸化シリコンでなる容量用絶縁膜912をエッチングストップとして機能させることができる。ブラックマスク917は画素マトリクス回路で一体的に形成され、コモン電位に接続されている。(図11(D))

【0119】さらに、同じフォトリソマスク916を用いて、ITO専用エッチャントで第1透明導電膜911をエッチングして、第2開口部918を形成する。第2開口部918の口径は第1開口部915よりも小さくし、第1開口部915の内側に形成する。3μmのマージンをみて第2開口部918を形成する。(図11(E))

【0120】フォトリソマスク916を剥離した後、ブラックマスク917、容量用絶縁膜912および第2開口部918を覆って、基板全面に層間絶縁膜919を形成した。層間絶縁膜919として、塗布法によりアクリルを形成した。アクリルの厚さは最も厚い部分が0.5μmとなるようにした。(図12(A))

【0121】次に、図示しないフォトリソマスクを形成し、O<sub>2</sub>/CF<sub>4</sub>ガスでアクリルでなる層間絶縁膜919をドライエッチングし、パターン形成された層間絶縁膜920を形成する。引き続きO<sub>2</sub>/CF<sub>4</sub>ガスによるドライエッチングを行い、アクリルでなる平坦化膜910をエッチングして、コンタクトホール921を形成した。この時、コンタクトホール921の側壁にテーパーが形成される様な条件とすると、画素電極の段切れを防ぐことができる。(図12(B))

【0122】そして、第2透明導電膜として120nm厚のITO膜をスパッタ法で成膜しパターニングして、画素電極923を形成した。この画素電極923が容量用絶縁膜912と接する部分では、一対の透明導電膜(第1透明導電膜911と画素電極923)に挟まれた容量用絶縁膜912によって保持容量924が形成される。(図12(C))

【0123】本実施例でもパターン形成された層間絶縁膜920で第2開口部918が覆われているため、画素電極923が第1透明導電膜911の端面と短絡するのを防止することができる。

【0124】ここでは、図12(B)に示す工程において、パターン形成された層間絶縁膜920をブラックマスク(ブラックマトリクスともいう)917全てを被覆していないようにパターン形成したので、画素電極923がブラックマスク917と接続されるため、画素TFTがオフ状態ではその電位がコモン電位に接続されている。

【0125】あるいは、図12(B)に示す工程におい

て、層間絶縁膜 919 を図 12 (D) に示すようにパターンニングして、パターン形成された層間絶縁膜 930 を形成することもできる。即ち、パターン形成された層間絶縁膜 930 でブラックマスク（ブラックマトリクスともいう）917 全てを被覆するようにして、画素電極 931 とブラックマスク 917 が接続していない構造もとることもできる。

【0126】〔実施例 9〕本願発明を実施して形成された CMOS 回路や画素マトリクス回路は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EL ディスプレイ、アクティブマトリクス型 EC ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本願発明を実施できる。

【0127】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 13 及び図 14 に示す。

【0128】図 13 (A) はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示装置 2003、キーボード 2004 で構成される。本願発明を画像入力部 2002、表示装置 2003 やその他の信号制御回路に適用することができる。

【0129】図 13 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本願発明を表示装置 2102、音声入力部 2103 やその他の信号制御回路に適用することができる。

【0130】図 13 (C) はモバイルコンピュータ（モバイルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本願発明は表示装置 2205 やその他の信号制御回路に適用できる。

【0131】図 13 (D) はゴーグル型ディスプレイであり、本体 2301、表示装置 2302、アーム部 2303 で構成される。本願発明は表示装置 2302 やその他の信号制御回路に適用することができる。

【0132】図 13 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2401、表示装置 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明は表示装置 2402 やその他の信号制御回路に適用することができる。

【0133】図 13 (F) はデジタルカメラであり、本体 2501、表示装置 2502、接眼部 2503、操作スイッチ 2504、受像部（図示しない）で構成される。本願発明を表示装置 2502 やその他の信号制御回路に適用することができる。

【0134】図 14 (A) はフロント型プロジェクターであり、表示装置 2601、スクリーン 2602 で構成される。本願発明は表示装置やその他の信号制御回路に適用することができる。

【0135】図 14 (B) はリア型プロジェクターであり、本体 2701、表示装置 2702、ミラー 2703、スクリーン 2704 で構成される。本願発明は表示装置やその他の信号制御回路に適用することができる。

【0136】なお、図 14 (C) は、図 14 (A) 及び図 14 (B) 中における表示装置 2601、2702 の構造の一例を示した図である。表示装置 2601、2702 は、光源光学系 2801、ミラー 2802、2805～2807、ダイクロイックミラー 2803、2804、光学レンズ 2808、2809、プリズム 2811、液晶表示装置 2810、投射光学系 2812 で構成される。投射光学系 2812 は、投射レンズを備えた光学系で構成される。本実施例は液晶表示装置 2810 を三つ使用する三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 14 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

【0137】また、図 14 (D) は、図 14 (C) 中における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 は、光源 2813、2814、合成プリズム 2815、コリメータレンズ 2816、2820、レンズアレイ 2817、2818、偏光変換素子 2819 で構成される。なお、図 14 (D) に示した光源光学系は光源を 2 つ用いたが、光源を 3～4 つ、あるいはそれ以上用いてもよく、勿論、光源を 1 つ用いてもよい。また、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等を設けてもよい。また、単板式にも使用できる。

【0138】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～8 のどのような組み合わせからなる構成を用いても実現することができる。

【0139】〔実施例 10〕上記実施例によって作製された液晶表示装置には、TN 液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and

High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0140】ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しき値反強誘電性混合液晶と呼ばれるものがある。この無しき値反強誘電性混合液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm〜2μm）のものも見出されている。

【0141】ここで、V字型の電気光学応答を示す無しき値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図17に示す。図17に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しき値反強誘電性混合液晶のスメクチック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0142】図17に示されるように、このような無しき値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0143】このような低電圧駆動の無しき値反強誘電性混合液晶をアナログドライバを有する液晶表示装置に用いた場合には、画像信号のサンプリング回路の電源電圧を、例えば、5V〜8V程度に抑えることが可能となる。よって、ドライバの動作電源電圧を下げることで、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0144】また、このような低電圧駆動の無しき値反強誘電性混合液晶をデジタルドライバを有する液晶表示装置に用いた場合にも、D/A変換回路の出力電圧を下げることで、D/A変換回路の動作電源電圧を下げることで、ドライバの動作電源電圧を低くすることができる。よって、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0145】よって、このような低電圧駆動の無しき値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm〜500nmまたは0nm〜200nm）を用いる場合においても有効である。

【0146】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を線順次駆動とすることにより、画素への階調電圧の書き込み期間（ビクセルフィールドビロド）を長くし、保持容量が小さくてもそれを補うようにしてもよい。

【0147】なお、このような無しき値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【0148】なお、図17に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の液晶表示装置の表示媒体として用いることができる。

【0149】

【発明の効果】本願発明を実施することで、透明導電膜で挟持された容量用絶縁膜の膜厚を自由に設定できる様になったため、画素内の光透過率を損ねることなく、画素全域を保持容量として利用することが可能となった。

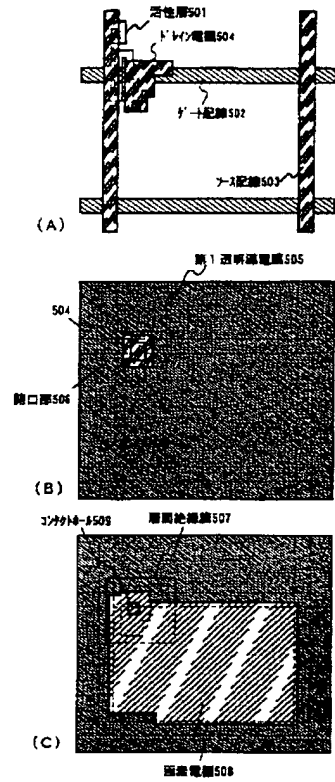
【0150】そのため、画素面積の小さい高精細なアクティブマトリクス型表示装置を形成する場合に、十分な保持容量を確保することが可能となった。また、画素内全域を保持容量としても光透過率が十分に高いので、明るい画像表示が可能であった。即ち、高精細で高品質の電気光学装置及びその様な電気光学装置を搭載した電子機器を実現することができた。

【図面の簡単な説明】

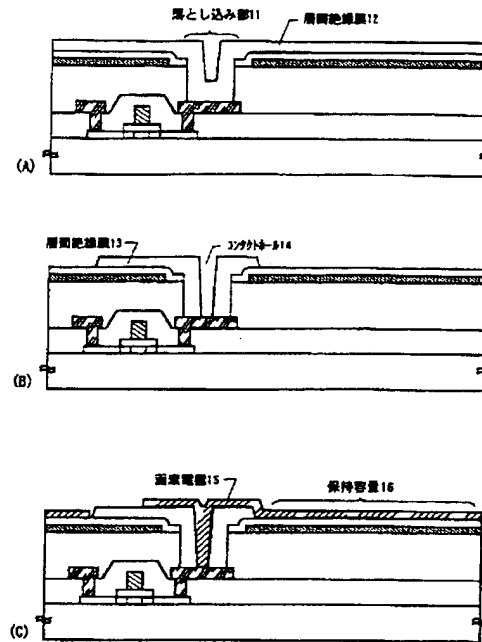
- 【図1】 画素及び保持容量の断面構造を示す図。
- 【図2】 従来の画素及び保持容量の断面構造を示す図。
- 【図3】 画素構造の作製工程を示す図。
- 【図4】 画素構造の作製工程を示す図。
- 【図5】 画素構造の上面図を示す図。
- 【図6】 アクティブマトリクス型液晶表示装置の外観を示す図。
- 【図7】 コモンコンタクト部の断面構造を示す図。
- 【図8】 画素構造の作製工程を示す図。
- 【図9】 画素構造の作製工程を示す図。
- 【図10】 画素構造の作製工程を示す図。
- 【図11】 画素構造の作製工程を示す図。
- 【図12】 画素構造の作製工程を示す図。
- 【図13】 電子機器の一例を示す図。
- 【図14】 電子機器の一例を示す図。
- 【図15】 TEM観察写真およびその模式図。
- 【図16】 表面のSEM観察写真。
- 【図17】 無しき値反強誘電性混合液晶の印加電圧-透過率特性を示すグラフ。



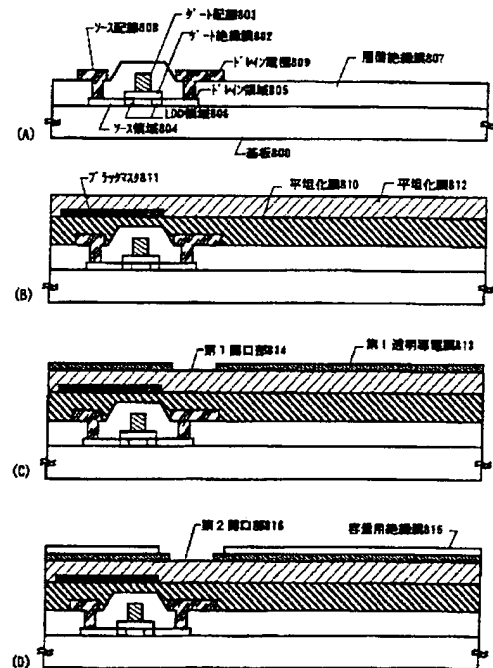
【図 5】



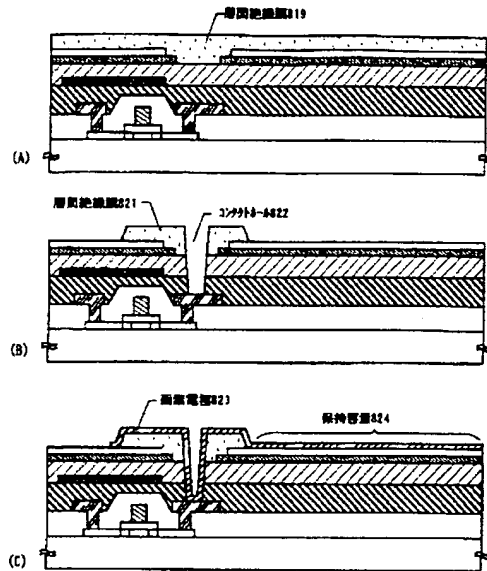
【図 8】



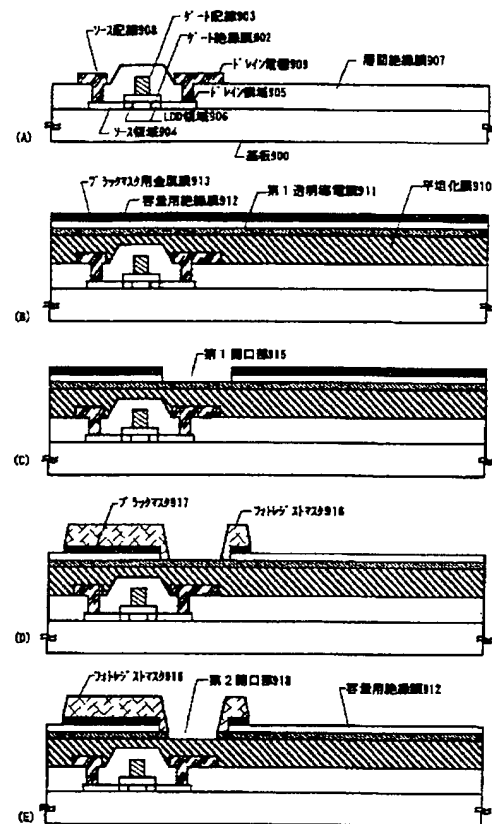
【図 9】



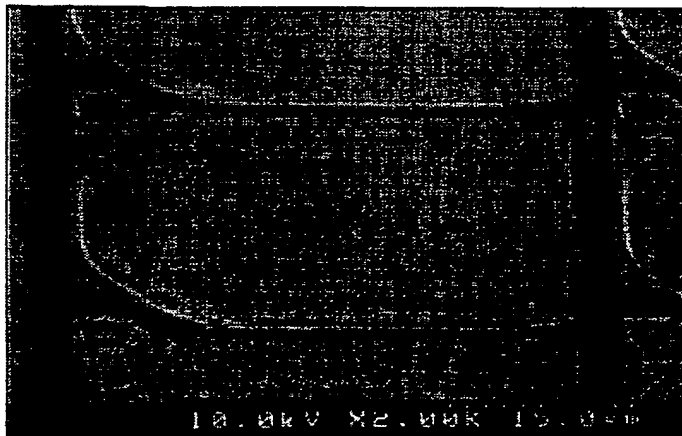
【図10】



【図11】



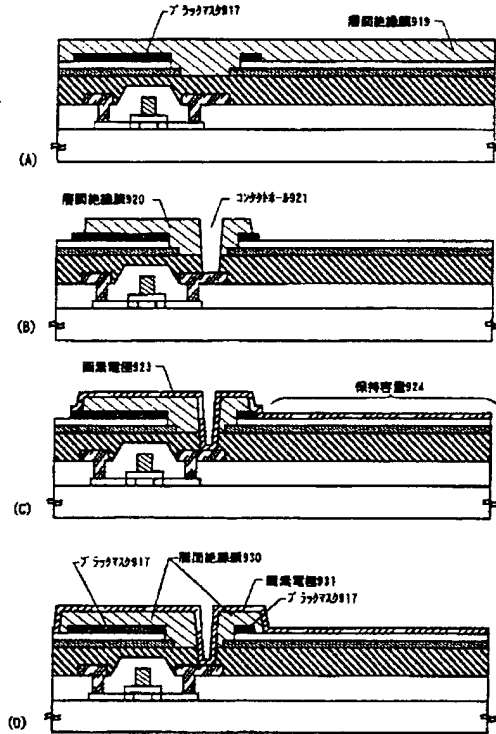
【図16】



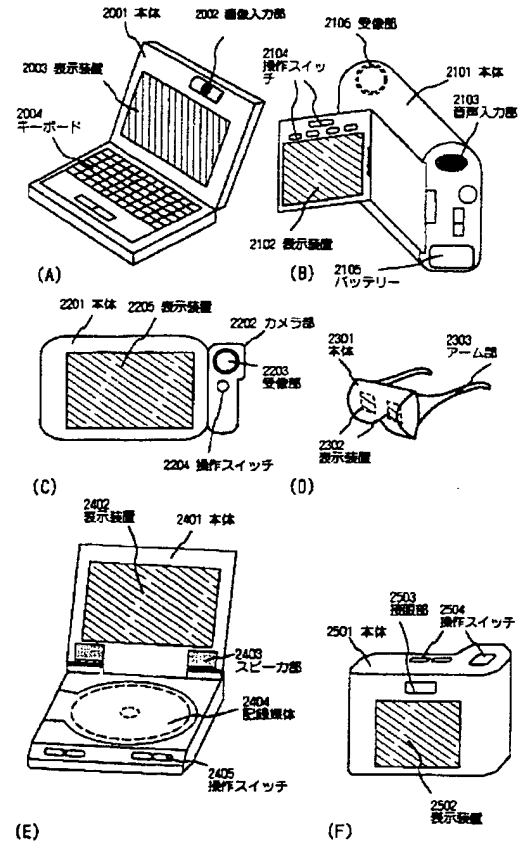
アクティブマトリクス基板（画素部分）  
を上面から見たSEM観察写真



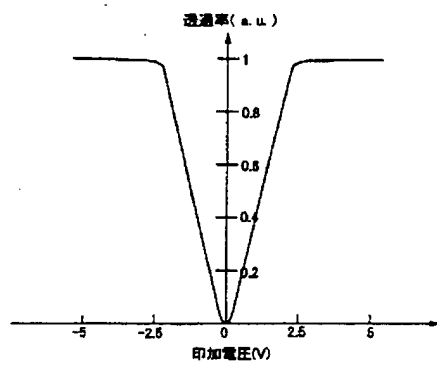
【図 12】



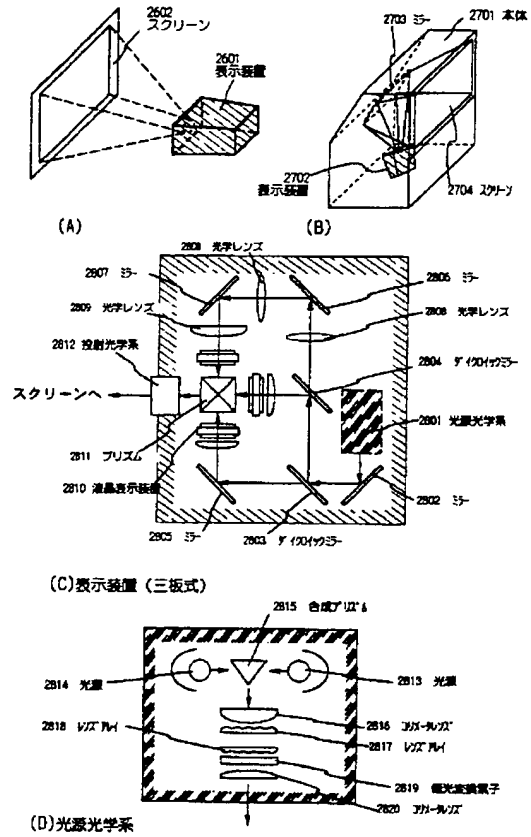
【図 13】



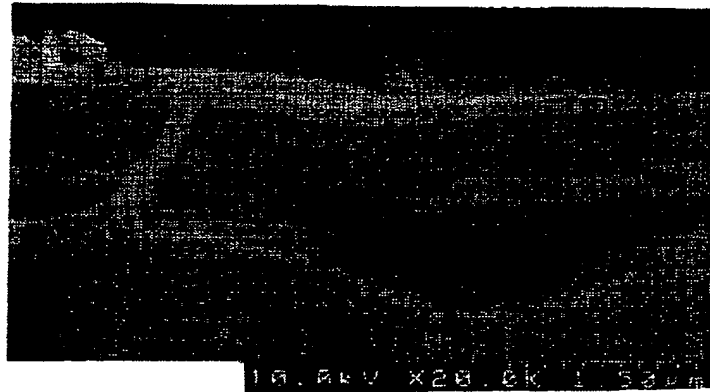
【図 17】



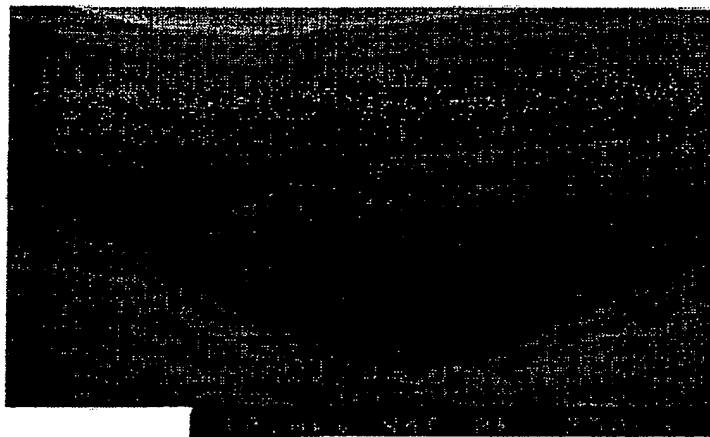
【図14】



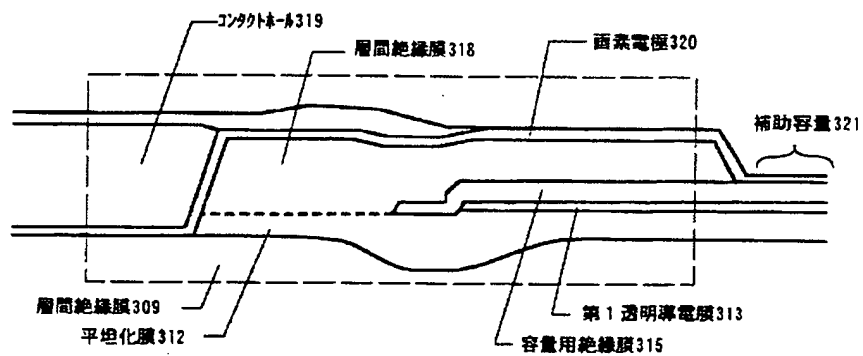
【図15】



(A) コンタクト周辺部のTEM観察写真



(B) 第1透明導電膜の端部を拡大したTEM観察写真



(C) TEM観察写真図15 (A)の模式図

フロントページの続き

F ターム(参考) 2H092 HA28 JA25 JA34 JA40 JA44  
JA46 JB24 JB33 JB52 JB58  
JB64 JB69 KA03 KA04 KA05  
KA12 KA18 KA22 KB04 KB22  
KB25 MA05 MA10 MA17 MA19  
MA27 MA37 MA41 NA21 NA26  
NA27 PA01 PA09 QA07 QA14  
RA05  
5F110 AA09 AA18 BB02 CC02 DD02  
DD03 DD12 FF02 GG02 GG12  
GG13 GG14 HJ12 HJ23 HL03  
HL04 HL12 HL23 HM15 HM18  
NN03 NN04 NN23 NN24 NN27  
NN36 NN45 NN46 NN54 NN72  
NN80 QQ04 QQ11 QQ19